

12-7-2018

ALGORITHM AND PROGRAM TO INCREASE THE SPEED OF THE INTERNAL MEMORY OF MULTI-CORE PROCESSORS

Kh N. Zaynidinov

Tashkent University of Information Technologies named after Muhammad al-Khwarizmi

O U. Mallaev

Tashkent University of Information Technologies named after Muhammad al-Khwarizmi

Follow this and additional works at: <https://uzjournals.edu.uz/ferpi>

Recommended Citation

Zaynidinov, Kh N. and Mallaev, O U. (2018) "ALGORITHM AND PROGRAM TO INCREASE THE SPEED OF THE INTERNAL MEMORY OF MULTI-CORE PROCESSORS," *Scientific-technical journal*: Vol. 1 : Iss. 4 , Article 11.

Available at: <https://uzjournals.edu.uz/ferpi/vol1/iss4/11>

This Article is brought to you for free and open access by 2030 Uzbekistan Research Online. It has been accepted for inclusion in Scientific-technical journal by an authorized editor of 2030 Uzbekistan Research Online. For more information, please contact sh.erkinov@edu.uz.

ALGORITHM AND PROGRAM TO INCREASE THE SPEED OF THE INTERNAL MEMORY OF MULTI-CORE PROCESSORS

Kh.N. Zaynidinov, O.U. Mallaev

Tashkent University of Information Technologies named after Muhammad al-Khwarizmi

АЛГОРИТМ И ПРОГРАММА ДЛЯ УВЕЛИЧЕНИЯ СКОРОСТИ ВНУТРЕННЕЙ ПАМЯТИ МНОГОЯДЕРНЫХ ПРОЦЕССОРОВ

Х.Н. Зайнидинов, О.У. Маллаев

Ташкентского университета информационных технологий
имени Мухаммада аль-Хоразмий**КЎП ЯДРОЛИ ПРОЦЕССОРНИНГ ИЧКИ ХОТИРАЛАРИ ТЕЗЛИГИНИ ОШИРИШ АЛГОРИТМ ВА ДАСТУРИ**

Х.Н. Зайнидинов, О.У. Маллаев

Мухаммад ал-Хоразмий номидаги Тошкент ахборот технологиялари университети,

Abstract. The article analyzes the internal memory of the processor, its methods of work, types of data exchange in memory and problems arising in the form of a hierarchical pyramid. The algorithm and program of parallelization of processes of multi-core processor cores using OpenMP technology is proposed [1,2,7,8,9,10]. The results of the parallel program are obtained and discussed in detail.

Key words: memory, cache memory, registry, parallel processing, parallel algorithm, parallel program.

Аннотация. В статье анализируются внутренние памяти процессора, его методы работы, типы обмена данными в памяти и проблемы, возникающие в виде иерархической пирамиды. Предложен алгоритм и программа распараллеливания процессов многоядерных процессорных ядер с использованием технологии OpenMP [1,2,7,8,9,10]. Результаты параллельной программы получены и подробно обсуждены.

Ключевые слова: память, память КЭШ, реестр, параллельная обработка, параллельный алгоритм, параллельная программа.

Аннотация. Мақолада процессорнинг ички хотираларини ишлаш усуллари, хотираларда маълумотлар алмашиш турлари ва уларда юзага келадиган муаммолар иерархик пирамида кўринишида таҳлил қилинган. Кўп ядроли процессор ядроларини ишлаш жараёнларини OpenMP технологияси ёрдамида параллеллаштириш алгоритми ва дастури таклиф қилинган [1,2,7,8,9,10]. Параллел дастур натижалари олинган ва улар етарлича муҳокама қилинган.

Таянч сўзлар: хотира, КЭШ хотира, регистр, параллел қайта ишлаш, параллел алгоритм, параллел дастур.

КИРИШ

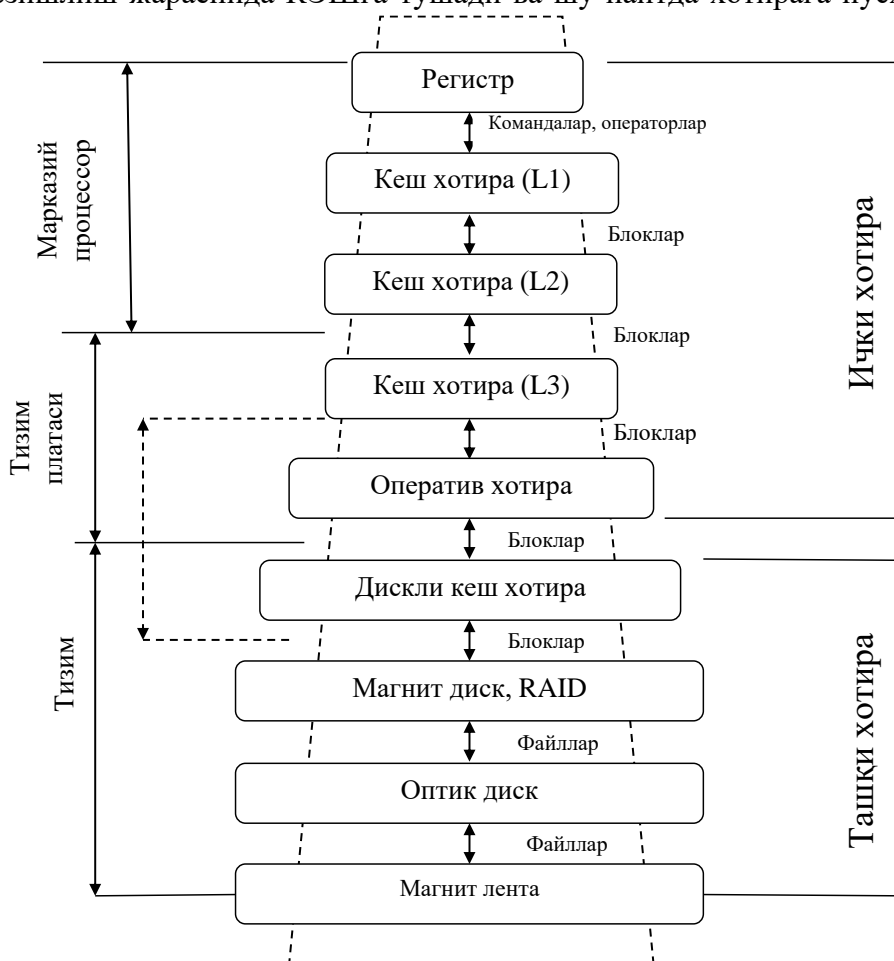
Кўп ядроли процессор структураси ядролар сони, кеш хотира, доимий хотира, бошқарув қурилмаси, арифметик манتيқий қурилма ва киритиш-чиқариш портлари билан боғлиқ равишда иш жараёнини ташкил этади [1, 2, 15, 16]. Процессорни ишлаш самарадорлиги унга ажратилган хотирани қандай ташкил этилганлигига боғлиқдир (1-расм). Унинг ишлаш тезлигига кўпгина факторлар тасир қилади. Уларнинг асосийларидан бири – бу арифметик амалларни бажаришга сарфланган вақт ва хотираларни ўзаро хамкорликда

ENERGETICS, THE ELECTRICAL ENGINEERING, ELECTRONIC DEVICES AND INFORMATION TECHNOLOGIES

ишлаш вақтидир. Программист максимал тезликда ишловчи дастур алгоритмини яратиш учун компьютер хотираси архитектурасини ва у билан ишлаш қонун қоидаларини билиши зарурдир. Айниқса мураккаб ҳисоблашларни бажаришда жуда муҳим ҳисобланади.

1. КОМПЬЮТЕР ХОТИРАСИНING УМУМИЙ ИЕРАРХИЯСИ

1-расмда компьютер хотирасининг умумий иерархияси келтирилган. Пирамида кўринишидаги ушбу иерархиянинг энг юқорисида регистр хотира, кейин 1, 2 ва 3- даражали кеш хотира ва асосий хотира (оператив хотира) жойлашган. Cash хотира оператив хотира билан микропроцессор ўртасидаги тезкор буфер хотираси ролини ўйнайди [11,12,13,14,15]. Бу буфер хотира (КЭШ) процессор ва асосий хотира ўртасидаги тезлик мутоносиблигини бартараф қилиши учун қўлланилади. Унга кўп маротаба муружат қилинадиган берилганлар жойлашади. Процессор биринчи маротаба хотирага муружат қилганда зарур информация параллел КЭШ га кўчади. Иккинчи маротаба муружат қилинганда информация КЭШдан олинади. Чунки ундан олиш тезроқ кўчиб тезлигини оширади. Информация хотирага ёзилиш жараёнида КЭШга тушади ва шу пайтда хотирага нусха олинishi мумкин (**Write**



Through - бевосита ёки баробар ёзиш схемаси), ёки хотирага маълум вақт ўткандан кейин ўтади. (**Write Back** схемаси - қолдирилган ёки қайта ёзув). Қайта ёзув схемасида КЭШ хотирадаги информация бўш такт бўлиши биланок асосий хотирага кўчирилади. Қолдирилган схемада эса КЭШда янги информация учун жой қолмагандагина информация кўчади. Бунда КЭШ дан энг кам ишлатилаётган информация биринчи бўлиб кўчади. КЭШ учун қўлланилаётган хотира ўз берилганларини сақлаш учун майдон, сатр ҳолатини ёритувчи сатр ҳолатини кўрсатувчи

1-расм. Замонавий компьютер хотирасининг умумий иерархияси.

(бўш, бўш эмас, тўлдириш учун ва х.к.) га бўлинади.

Асосан КЭШни ташкил этишини икки хил схемаси мавжуд: туғридан туғри ифодалаш (**direct mopped**), қайсики хотира хар бир адреси КЭШланади фақат битта қатор билан (бу ҳолда сатр номери адреси кичик разрядлари билан аниқланади ва ассоциатив боғланган - n тип (**n-way associative**), қайсики битта ячейка адреси бир нечта қатор билан КЭШланса. Ассоциатив КЭШ анча юқори. 486 ва ундан юқори процессорлар яна 8 -16 кб хажмли ички (**Internal**) КЭШга эга. У бундан ташқари **Primary** (биринчи) ёки **L1 (Level 1-** биринчи сатр. **DIP** переключателлар икки ҳолда қўлланади. Биринчидан қанча ҳажмдаги RAM қўшилганлигини, иккинчидан компютерга умумий оператив хотира ҳажмини қанча

ENERGETICS, THE ELECTRICAL ENGINEERING, ELECTRONIC DEVICES AND INFORMATION TECHNOLOGIES

эканлигини билдириш учун. Ушбу 5 босқичли иерархия - компьютер хотирасини ташкил этади. Иерархиянинг энг пастини турли – хил ташқи қурилма хотиралари ташкил этади. Ҳар бир босқичнинг чап томонида унинг ҳажми ва ундан фойдаланишга рухсат тезлиги ёзилган. Тепадан пастга хотира ҳажми ортиб боради, лекин кириш вақти ҳам ошиб боради. Бундан ташқари шу тарзда маълумотларнинг сақлаш харажатлари камаяди. Энг тезкор, лекин энг кам хотира тури процессорнинг ички регистори ҳисобланади. Марказий процессор регистори ва КЕШ хотира асосий хотирадан сезирарли равишда камрок, аммо тезлиги бўйича сезиларли даражада тез. Кўпгина замонавий компьютерларда кеш хотиранинг бир нечта даражалари мавжуд. Иерархияда L ҳарфлари ва КЕШ хотира даражаси билан кўрсатилган. Ички хотираларнинг энг кичиги бу оператив хотира ҳисобланади [4,5,6]. Ҳар бир иерархия даражасида маълумот блокларга бўлинади. Буйруқлар ва маълумотларга киришда, масалан уларни ўқиш учун аввал юқори даражали хотирадан кидирилади. Жуда юқори эҳтимолликка эга бўлган дастурларда дастурнинг кейинги буйруғининг манзили тўғридан-тўғри жорий буйруқ ўқилган манзилнинг орасида бўлади. Ушбу манзилни тартибга солиш дастурнинг кенгайтириш ҳудуди деб номланади. Қайта ишланадиган маълумотлар одатда кетма-кет хотирада сақланади. Агар ушбу принципларга риоя қиладиган дастур тузилса максимал ишлашга эришилади, чунки асосий буйруқлар, маълумотлар тезкор хотирада сақланади ҳамда хотирадан маълумотларни ва буйруқларни ўқишдаги кечикишлар камайтиради.

2. МАЪЛУМОТЛАРГА ИШЛОВ БЕРИШДА ХОТИРАДАН САМАРАЛИ ФОЙДАЛАНИШ

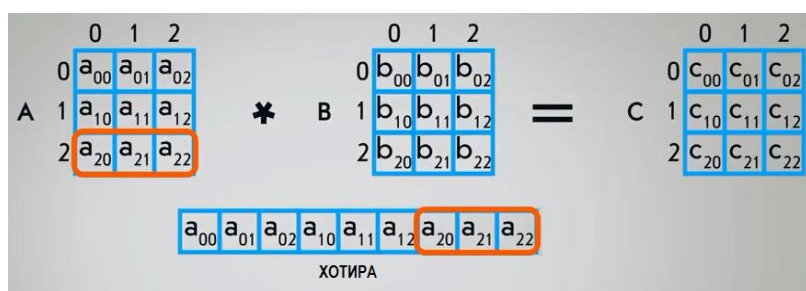
Мисол учун хотирадан самарали фойдаланишга, бир хил вазифани бажарувчи лекин бажарилиш тезлиги турлича бўлган 2 та функцияни тузилган. Ушбу функциялар қуйи(1-листинг)да келтирилган.

1-функция:

```
for (int j = 0; j < N; j++)
  for (int k = 0; k < N; k++)
    for (int i = 0; i < N; i++)
      C[i][j] += A[i][k] * B[k][j];
```

2-функция:

```
for (int i = 0; i < N; i++)
  for (int k = 0; k < N; k++)
    for (int j = 0; j < N; j++)
      C[i][j] += A[i][k] * B[k][j];
```



2-расм. массивларни кетма-кет қаторларда жойлашиши.

Дастурлашда массивлар кетма-кет қаторларда жойлашади. Аввал биринчи қатор элементлари кейин эса шу тартибда кейинги қатор элементлари жойлаштирилади (2-расм).

Иерархиянинг юқори даражасидаги хотирага маълумотлар блоклари

кўчирилади. Оддийлик учун 1- даражали кеш хотира бор деб қаралса. 1-функцияни хотирада ишлаш принципи – 3-расмда батавфсил келтирилган.

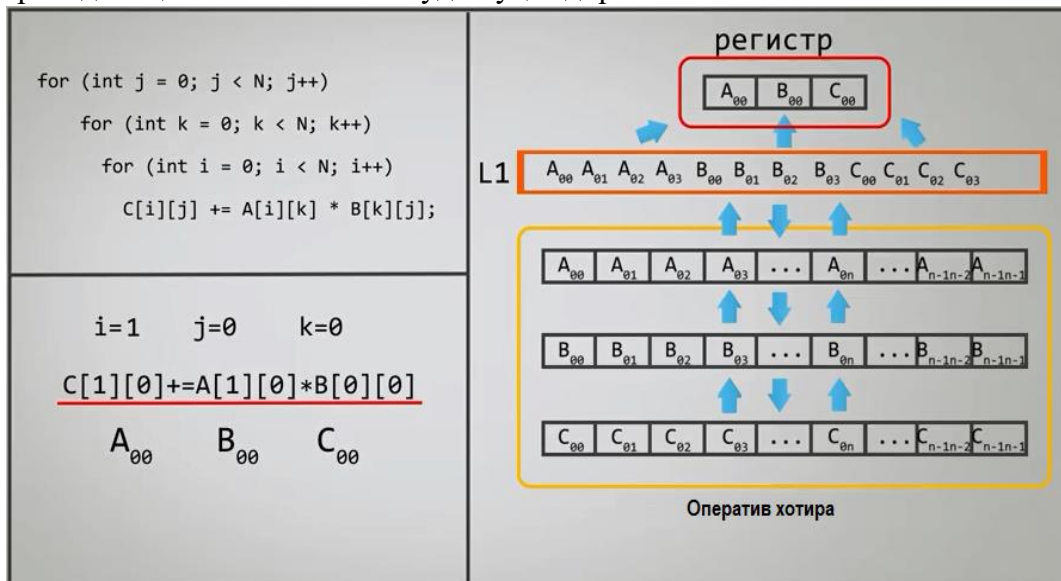
Аввал матрицалар кўпайтиради ва операцияларни белгиланган йўналиш бўйича бажариш учун A_{00} , B_{00} ва C_{00} элементлари регистга жойлаштирилади. Кейинги қадамда эса A_{10} , B_{00} ва C_{10} элементлари кидирилди. Аммо A_{10} ва C_{10} элементларини оператив хотирадан чақиришга тўғри келади. Бу эа кеш хотирадан ўқиб олишдан кўра секин амалга ошади.

2-функцияни хотирада ишлаш принципи – 4-расмда батавфсил келтирилган.

Аввал матрицалар кўпайтиради ва операцияларни белгиланган йўналиш бўйича бажариш учун A_{00} , B_{00} ва C_{00} элементлари регистга жойлаштирилади. Кейинги қадамда эса A_{00} , B_{01} ва C_{01} элементлари кидирилди. Ушбу элементлар кеш хотирадан чақирилади. Бу эса

ENERGETICS, THE ELECTRICAL ENGINEERING, ELECTRONIC DEVICES AND INFORMATION TECHNOLOGIES

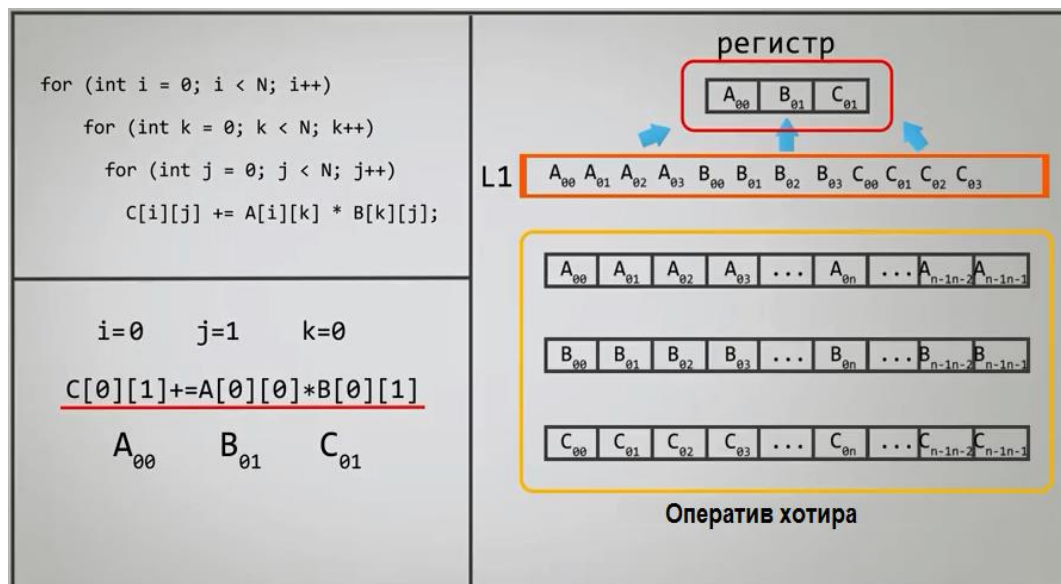
дастур ишлаш тезлигини ошишига олиб келади. Шунинг учун хотирада маълумотларни тўғри тартибда сақлаш ва ишлатиш жуда муҳимдир.



3-расмда. 1-функцияни хотирада ишлаш принципи.

3. ЎТКАЗИЛГАН ТАЖРИБА НАТИЖАЛАРИ

Кўп ядроли процессорларнинг хотираси турли моделлар асосида ташкил қилинган. Ушбу моделларда турли босқичдаги (L) КЕШ хотираларнинг хажми турлича шунингдек регистрда ҳам махсус сопроцессорлар жойлаштирилган. Ушбу сопроцессорларнинг мақсади юқорида тақидланган вектор ва матрицаларни хотирага кетма-кет жойлаштириш ҳамда аввалги жойлаштирилганларини кейинги тактларда бажариладиган амаллар учун вақтинча сақлаш ҳисобланади. Қуйидаги жадвалда N та қиришга эга иккита векторни мос элементларни



4-расмда. 2-функцияни хотирада ишлаш принципи.

кўпайтмасини учинчи векторнинг кетма-кет мос элементларига ўзлаштириш учун процессорнинг сарфлаган вақтлари келтирилган. Ушбу жадвал асосида турли моделдаги процессорларни ишлаш тезликларини солиштириш имкониятини беради.

1-функцияни икки ядроли 1-рақамдаги процессор 18 секундда, 4-рақамдаги процессор 99 секундда, бир ядроли 2-рақамдаги процессор 30 секундда, 3-рақамдаги процессор 112

ENERGETICS, THE ELECTRICAL ENGINEERING, ELECTRONIC DEVICES AND INFORMATION TECHNOLOGIES

секундда ҳисоблади.

2-функцияни эса икки ядроли 1-рақамдаги процессор 4 секундда, 4-рақамдаги процессор 1 секундда, бир ядроли 2-рақамдаги процессор 6 секундда, 3-рақамдаги процессор 9 секундда ҳисоблади. Intel(R) Core(TM) i5-2410M CPU @ 2.30 GHz русумдаги процессорда 2-функция янги яхши натижа (**4 секунд**)ни берди. Демак процессорга ўрнатилган ёрдамчи виртуал хотиралар ҳисоблаш жараёнида катта аҳамият касб этар экан.

1-жадвал.

Иккита векторнинг N та элементи қўпайтмасини ҳисоблашга сарфланган процессор вақтлари.

№	Процессор тури	Ядролар сони	N	Сарфланган вақт	
				jk (1-функция)	ikj (2-функция)
1	Intel(R) Pentium(R) Dual CPU E2180 @ 2.00 GHz	2	1000	jk (1-функция)	99 (сек)
				ikj (2-функция)	11 (сек)
2	Intel(R) Celeron(R) CPU N3350M @ 1.10 GHz	1	1000	jk (1-функция)	112 (сек)
				ikj (2-функция)	9 (сек)
3	Intel(L) Celeron(R) CPU 1000M @ 1.80 GHz	1	1000	jk (1-функция)	30 (сек)
				ikj (2-функция)	6 (сек)
4	Intel(R) Core(TM) i5-2410M CPU @ 2.30 GHz	2	1000	jk (1-функция)	18 (сек)
				ikj (2-функция)	4 (сек)

ХУЛОСА

Хулоса ўрнида шуни айтиб ўтиш мумкинки, хотирадан хотирага маълумотларнинг қўчирилиши юқорида айтиб ўтилган хотиранинг иерархик қўринишидаги босқичларда турлича амалга оширилади. Масалан регистрдан кеш хотирага муружат, регистрдан оператив хотирага муружатдан тез амалга ошади. Аниқроқ айтганда компьютер хотирасини ишлаш принципини тўлиқ ўрганмасдан унинг ишлаш самарадорлигини ошириш мумкин эмас. Олинган натижалар процессор ядроларини параллел ҳисоблаш тизимлари ёрдамида маълумотларни қайта ишлаш тезлигини ортганини кўрсатди. Компьютер хотираларининг динамик оқимларини бошқаришнинг янги усулларини ишлаб чиқиш процессор хотираси тезлигини янада орттириш мумкинлигини англатади.

Адабиётлар

- [1] Агатов А.С. Параллельное программирование с использованием технологии OpenMP.
- [2] Воеводин В.В., Воеводин Вл.В., Параллельные вычисления. – СПб: «БХВ-Петербург», 2012.– 608 с.
- [3] Богачев К.Ю. Основы параллельного программирования. – М.: «БИНОМ. Лаборатория знаний», 2013. – 342с. Жмудь В.А., Семибаламут В.М., Фомин Ю.Н., Димитров Л.В. Перспективы развития систем для мониторинга сейсродинамики скальных пород. Автоматика и программная инженерия. 2016. № 1 (15). С. 79–90. ISSN 2312-4997.
- [4] Zaynidinov X.N, Splines in digital signal processing problems. - "Tashkent", 2015.
- [5] X. Zaynidinov, Methods and means of signal processing in piecewise polynomial bases. - "Tashkent", 2015.
- [6] Voevodin V., Parallel computing. - St. Petersburg: BHV-Petersburg, 2012.
- [7] Bogachev K. Basics of parallel programming. - М.: "BINOM. Laboratory of Knowledge, 2013.
- [8] Malyshkin V. Basics of parallel computing: Textbook. Part 2. - Novosibirsk: CIT SSGA, 2012.
- [9] Blake G., Dreslinski R.G., Mudge T. «A survey of multicore processors», Signal Processing Magazine, vol. 26, no. 6, pp. 26-37, Nov. 2009.

Web сайтлар

- [1] tet2001@rambler.ru,
- [2] info-oybek@rambler.ru